

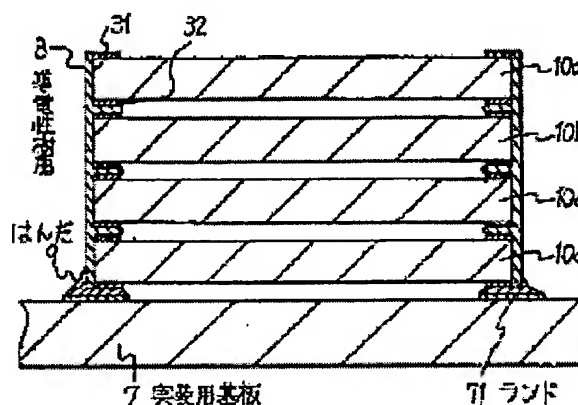
**MEMORY MODULE**

Patent number: JP5029534  
Publication date: 1993-02-05  
Inventor: NAKAMURA SHIGEMI  
Applicant: NEC CORP  
Classification:  
- international: H01L25/00  
- european:  
Application number: JP19910185957 19910725  
Priority number(s):

**Abstract of JP5029534**

**PURPOSE:** To reduce the external dimension of a memory module by constituting a memory package structure in a leadless chip carrier (LCC) type, and stacking said packages.

**CONSTITUTION:** A memory package is constituted as an LCC type structure wherein a plurality of first terminals for a common signal and a plurality of second terminals for a characteristic signal, are formed. A plurality of memory packages 10a-10d having the above structure are stacked in the manner in which the characteristic signal is transmitted to each of the memory packages 10a-10d via the mutually different paths of the second terminals, and connected and fixed with a mounting board 7.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-29534

(43) 公開日 平成5年(1993)2月5日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 25/00

識別記号 庁内整理番号  
A 7220-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平3-185957

(22) 出願日 平成3年(1991)7月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 茂美

東京都港区芝五丁目7番1号日本電気株式  
会社内

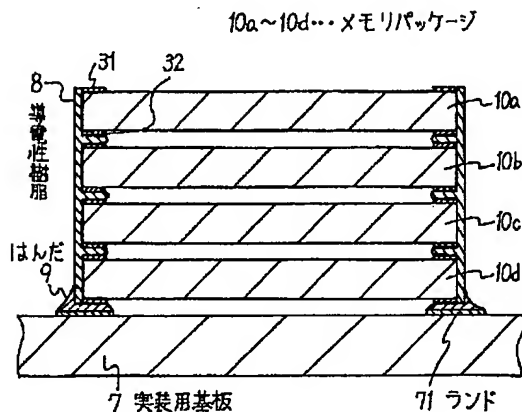
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 メモリモジュール

(57) 【要約】

【目的】 メモリパッケージの構造をリードレスチップキャリア (LCC) 型をしてこれらメモリパッケージを積重ね、メモリモジュールの外形寸法を小さくする。

【構成】 メモリパッケージを、容器の側面に、共通の信号に対する複数の第1の端子と、固有の信号1つに対し複数の第2の端子とを設けたLCC型の構造とする。この構造の複数のメモリパッケージ10~10dを第2の端子にそれぞれ異なる径路で固有の信号が各メモリパッケージ10a~10dに伝達されるように接続して積重ね、実装用基板7に接続固定する。



1

## 【特許請求の範囲】

【請求項1】 所定の位置に外部回路と接続するための複数の第1の電極及び少なくとも1つの第2の電極を備え外部からのデータを記憶しかつ記憶しているデータを読み出すメモリチップと、このメモリチップを内部に収納する容器と、この容器の所定の位置に前記第1の電極とそれぞれ対応して設けられ対応する前記第1の電極と接続する内部端子部、この内部端子部と接続し前記容器の周辺の上表面及び下表面に形成された上表面端子部及び下表面端子部、並びにこれら上表面端子部及び下表面端子部と前記容器の側面で接続する端面スルーホール部を備えた複数の第1の端子と、前記容器の所定の位置に1つの前記第2の電極に対して複数設けられそれぞれこの第2の電極と接続するための内部端子部、この内部端子部と接続し前記容器の周辺の上表面及び下表面に形成された上表面端子部及び下表面端子部、並びにこれら上表面端子部及び下表面端子部とそれぞれ前記容器の側面で接続する端面スルーホール部を備えた第2の端子とをそれぞれ含む複数のメモリパッケージの前記第2の電極と対応する複数の第2の端子のうちの互いに異なる位置の第2の端子の内部端子部とをそれぞれ接続し、前記複数のメモリパッケージを順次積重ね、前記各メモリパッケージの対応する第1及び第2の端子をそれぞれ接続し、これら各第1及び第2の端子を実装用基板の対応するランド部にそれぞれ接続して前記積重ねた複数のメモリパッケージを前記実装用基板上に固着した構造を有することを特徴とするメモリモジュール。

【請求項2】 第1の電極がアドレス信号及びデータを伝達するための電極を含み、第2の電極がチップセレクト信号を伝達するための電極である請求項1記載のメモリモジュール。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はメモリモジュールに関し、特に複数のメモリパッケージを実装用基板上に実装した構造のメモリモジュールに関する。

【0002】

【従来の技術】 従来のこの種のメモリモジュールの一般的な回路図を図3に示す。

【0003】 このメモリモジュールは、メモリパッケージ10A～10D4個により構成される場合であるが、数が増減しても基本的に回路構成は変わらないので、以下図3を参照しながら説明する。

【0004】 このメモリモジュールは、メモリパッケージ10Aからメモリメモリパッケージ10Dまでの4個のうちのどれか1個を選択できるようにチップセレクト端子を有しており、チップセレクト信号CS0～CS3によりこれらのうちの任意のメモリパッケージを選択してデータの書き込みあるいは、データの読み出しができる。このメモリモジュールの構成法としては、図4に示すよ

2

うに、実装用基板7Aにメモリパッケージ10A～10Dを片面に実装したものや、両面に実装したものが多い。この実装用基板7Aに閉める実装面積は、単純にメモリパッケージの数とその大きさによって決まる。

【0005】 メモリモジュールのメモリパッケージの数量は、次世代メモリ（一般的にメモリ容量4倍）を想定した場合、4個でメモリパッケージ1組を構成する場合が多い。あるいは又、データのパス幅8ビット又はパリティを含む9ビットに対応して8個あるいは9個搭載のメモリモジュールが一般的である。

【0006】

【発明が解決しようとする課題】 この従来のメモリモジュールは、メモリパッケージ10A～10Dを実装用基板7Aの片面に実装するか、両面に実装する構成となっているので、メモリモジュールの外形が大きくなるという問題点があった。

【0007】 本発明の目的は、外形寸法を小さくすることができメモリモジュールを提供することにある。

【0008】

【課題を解決するための手段】 本発明のメモリモジュールは、所定の位置に外部回路と接続するための複数の第1の電極及び少なくとも1つの第2の電極を備え外部からのデータを記憶しかつ記憶しているデータを読み出すメモリチップと、このメモリチップを内部に収納する容器と、この容器の所定の位置に前記第1の電極とそれぞれ対応して設けられ対応する前記第1の電極と接続する内部端子部、この内部端子部と接続し前記容器の周辺の上表面及び下表面に形成された上表面端子部及び下表面端子部、並びにこれら上表面端子部及び下表面端子部と前記容器の側面で接続する端面スルーホール部を備えた複数の第1の端子と、前記容器の所定の位置に1つの前記第2の電極に対して複数設けられそれぞれこの第2の電極と接続するための内部端子部、この内部端子部と接続し前記容器の周辺の上表面及び下表面に形成された上表面端子部及び下表面端子部、並びにこれら上表面端子部及び下表面端子部とそれぞれ前記容器の側面で接続する端面スルーホール部を備えた第2の端子とをそれぞれ含む複数のメモリパッケージの前記第2の電極と対応する複数の第2の端子のうちの互いに異なる位置の第2の端子の内部端子部とをそれぞれ接続し、前記複数のメモリパッケージを順次積重ね、前記各メモリパッケージの対応する第1及び第2の端子をそれぞれ接続し、これら各第1及び第2の端子を実装用基板の対応するランド部にそれぞれ接続して前記積重ねた複数のメモリパッケージを前記実装用基板上に固着した構造を有している。

【0009】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0010】 図1(a)、(b)はそれぞれ本発明の一実施例のメモリパッケージを示す平面図及び断面図であ

3

る。

【0011】この実施例のメモリパッケージは、上面周辺に外部回路を接続するための複数の第1の電極41及び少なくとも1つの第2の電極41sを備え外部からのデータを記憶しかつ記憶しているデータを読み出すメモリチップ4と、このメモリチップ4を内部に収納する容器を形成するプリント配線基板1、枠部2及び封止樹脂部6と、プリント配線基板1の所定の位置に各第1の電極41とそれぞれ対応して設けられ対応する第1の電極41と金属細線5により接続する内部端子部33、この内部端子部33と接続し前記容器の周辺である枠部2の上面及び下面に形成された上面端子部31及び下面端子部32、並びにこれら上面端子部31及び下面端子部32と枠部2の側面で接続する端面スルーホール部34を備えた複数の第1の端子3と、プリント配線基板1の所定の位置に1つの第2の電極41sに対して複数設けられそれぞれこの第2の電極41sと接続するための内部端子部33s、この内部端子部33sと接続し枠部2の上面及び下面に形成された上面端子部31s及び下面端子部32s、並びにこれら上面端子部31s及び下面端子部32sとそれぞれ枠部2の側面で接続する端面スルーホール部34sを備えた第2の端子3sとを含んだリードレスチップキャリア(LCC)型の構成となっている。

【0012】この実施例は、上述したメモリパッケージを複数個(これらにそれぞれ記号10~10dを付す)使用し、まず、各第2の電極41sと対応する複数の第2の端子3sのうちの互いに異なる位置の第2の端子の内部端子部33sとをそれぞれ接続し、図2に示すように、これら複数のメモリパッケージ10a~10dを順次積重ね、各メモリパッケージ10a~10dの対応する第1及び第2の端子3, 3sを導電性樹脂8でそれぞれ接続し、これら各第1及び第2の端子3, 3sをはんだ9により実装用基板7の対応するランド71にそれぞれ接続して積重ねた複数のメモリパッケージ10a~10dを実装用基板7上に固着した構造となっている。

【0013】この実施例において、第1の端子3は4個のメモリパッケージ10a~10dに共通のアドレス信号(A0~A7)の入力用の端子及びデータ(D0~D7)を出力用の端子であり、第2の端子3sはチップセレクト信号(CS0~CS3)を入力する端子となっている。

【0014】チップセレクト信号CS0~CS3はそれぞれ対応するメモリパッケージ10a~10dを選択する信号であるので、それぞれ別々の第2の端子3sを経

4

由して実装用基板7の異なる各ランド71に接続されている。

【0015】このように、メモリパッケージを複数個(N個、この実施例ではN=4)積重ねる構造とすることにより、実装面積を従来例の1/N(この実施例では1/4)に削減することができ、メモリモジュールの外寸法を小さくすることができる。

【0016】

【発明の効果】以上説明したように本発明は、メモリパッケージを、容器の側面に共通の信号に対する複数の第1の端子と、固有の信号1つに対し複数の第2の端子とを設けたLCC型の構造とし、このメモリパッケージを複数個、第2の端子にそれぞれ互いに異なる径路で固有の信号が各メモリパッケージに伝達されるように接続して積重ね、実装用基板に接続固着する構成とすることにより、1個のメモリパッケージの実装面積で複数個のメモリパッケージが実装できるので、外形寸法の小さいメモリモジュールを得ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のメモリパッケージの平面図及び断面図である。

【図2】図1に示されたメモリパッケージを用いた本発明の一実施例を示す断面側面図である。

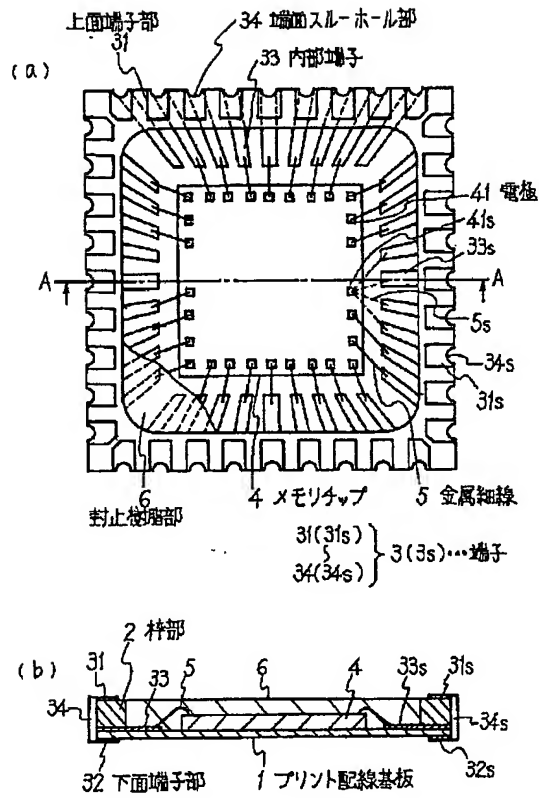
【図3】従来のメモリモジュールの一例を説明するための回路図である。

【図4】図3に示されたメモリモジュールの実装状態を示す平面図である。

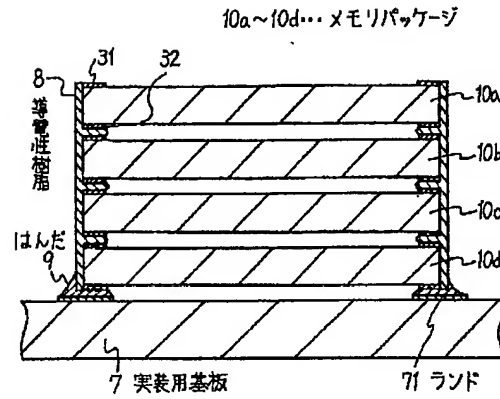
【符号の説明】

- |                 |           |
|-----------------|-----------|
| 1               | プリント配線基板  |
| 2               | 枠部        |
| 3, 3s           | 端子        |
| 4               | メモリチップ    |
| 5               | 金属細線      |
| 6               | 封止樹脂部     |
| 7, 7A           | 実装用基板     |
| 8               | 導電性樹脂     |
| 9               | はんだ       |
| 10~10d, 10A~10D | メモリパッケージ  |
| 31, 31s         | 上面端子部     |
| 32, 32s         | 下面端子部     |
| 33, 33s         | 内部端子部     |
| 34, 34s         | 端面スルーホール部 |
| 41, 41s         | 電極        |
| 71              | ランド       |

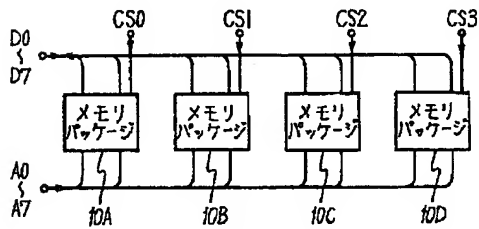
【図1】



【図2】



【図3】



【図4】

